



The Abdus Salam
**International Centre
for Theoretical Physics**



TUTORIAL INTRODUCITORIO AL ISE e ISim

Prepared and Edited by:

ICTP Multidisciplinary Laboratory

MLAB

Sección 1 – Introducción al ISE

Introducción

En este tutorial se presenta la herramienta Integrated Software Environment (ISE) de la empresa Xilinx. El ISE se usa para modelar, simular y sintetizar diseños a ser implementados en FPGAs de Xilinx. Aun cuando este tutorial es presentado para utilizar la herramienta ISE, el flujo a seguir para otra herramienta, por ejemplo el Quartus II de Altera, es muy similar.

Con esta herramienta se puede realizar el flujo completo visto durante las clases teóricas tal como se detalla en la siguiente Figura 1.

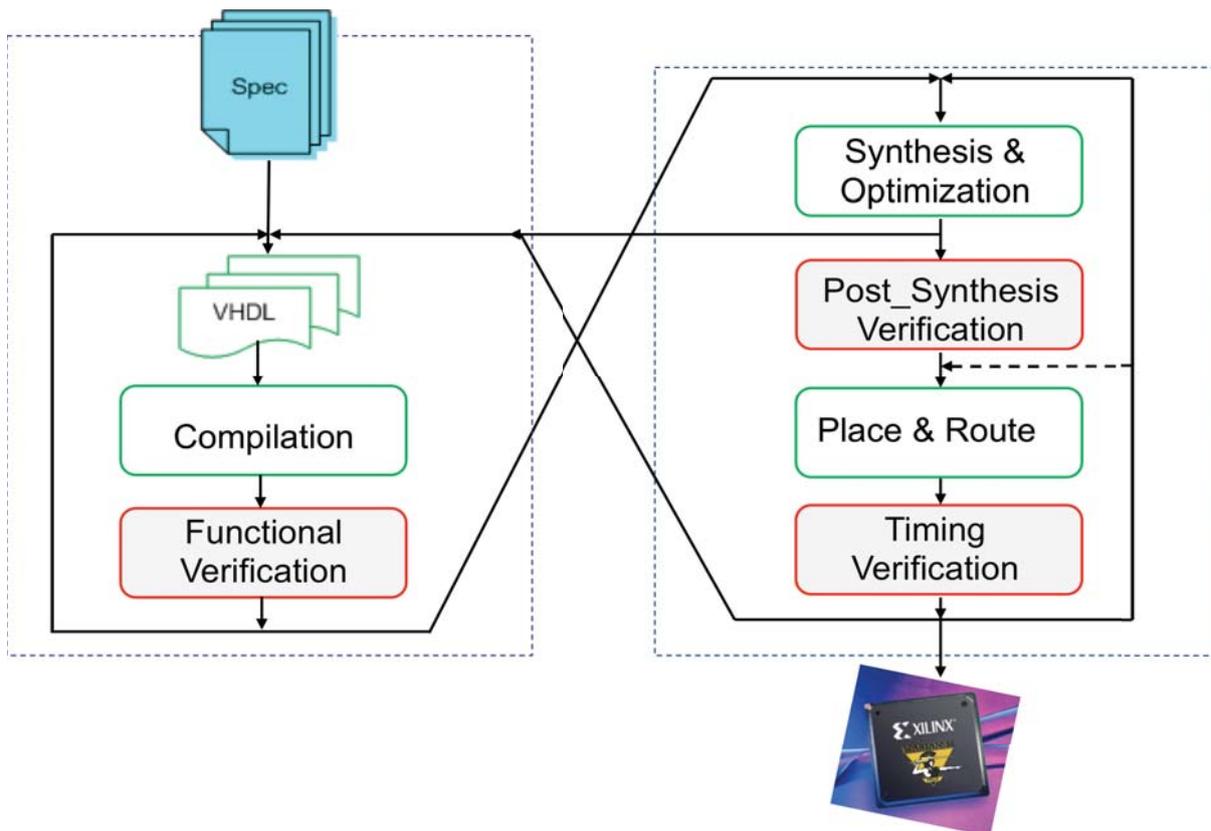


Figura 1 - Flujo de diseño para implementación en FPGA

Uso del ISE

Antes de comenzar a trabajar, por favor cree una carpeta para ser usada como repositorio de los laboratorios. Utilice el directorio c:\.xxxxx\ como directorio raíz.; y luego ***dentro de este directorio va ir creando una carpeta para cada laboratorio***. Use nombres relacionados a los proyectos. Por ejemplo, c:\Curso_ICTP\Lab1\.

Para ejecutar el ISE haga *Inicio-> Todos los Programas -> Xilinx Design Tools -> ISE Design Suite 14.3 -> ISE Design Tools -> Project Navigator*

Luego de un corto momento debe aparecer el logo de Xilinx junto con una ventana pequeña indicando que el programa se está cargando, tal como se aprecia en Figura 2.

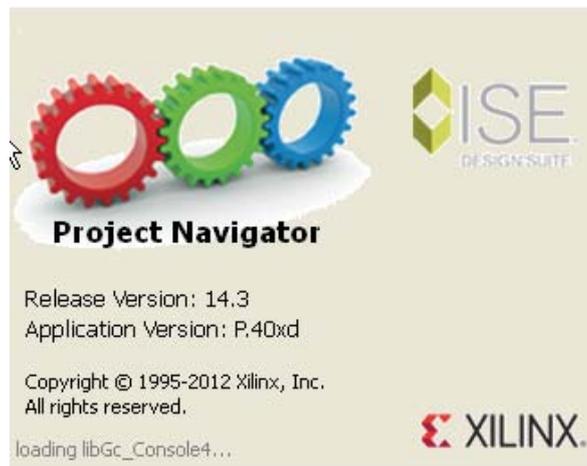


Figura 2 - Indicador de que el ISE se está cargando

La pantalla principal del ISE es la que aparece en la Figura 3, y sus principales paneles son descritos a continuación de la figura.

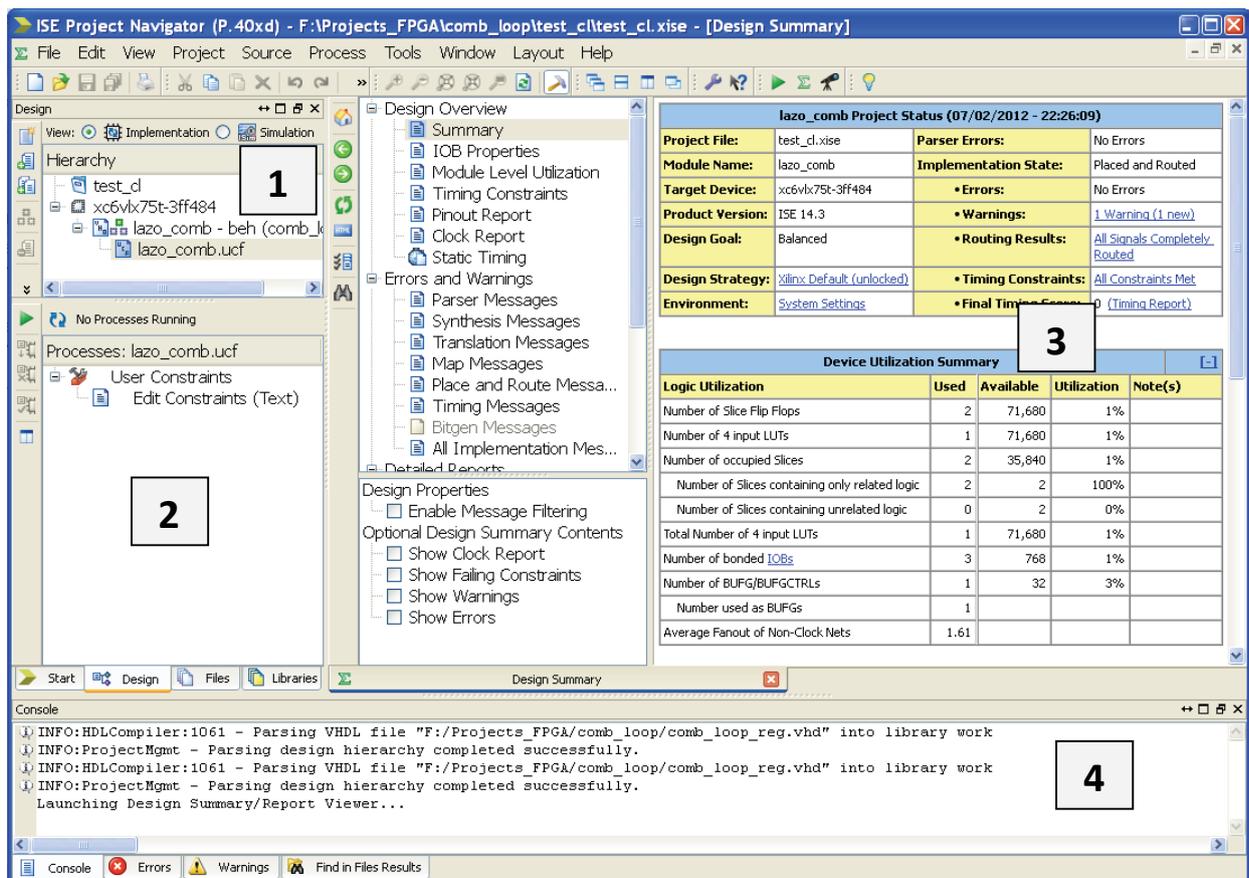


Figura 3 - Ventana principal del ISE

- Panel 1: **Hierarchy**, detalla la jerarquía del diseño, es decir los distintos modules VHDL que componen el sistema, como así también el test bench (cuando se selecciona la opción de *Simulation*), y también se detalla el dispositivo a ser usado en la implementación.
- Panel 2: **Procesos**: detalla los procesos que se pueden ejecutar dependiendo que parte de la jerarquía (panel 1) es la seleccionada.
- Panel 3: **Espacio de Trabajo**, en este panel se muestra un archivo de VHDL, se puede mostrar un reporte, o tal como se muestra en Figura 3, se detalla un resumen de los recursos del FPGA utilizados para el diseño implementado.
- Panel 4: **Consola**, los mensajes de los diferentes procesos que se están ejecutando se muestran en este panel. Este panel a su vez tiene diferentes tabs para ver por ejemplo solo los Warnings, solo los Errores o buscar algunos caracteres en particular.

Creación de un Proyecto en ISE

Hay varios pasos para crear un proyecto en el entorno ISE, los que se detallan a continuación.

- a. En la barra del menú seleccione *File->New Project*. La ventana de opciones de un nuevo proyecto aparecerá.
- b. Introduzca el nombre del laboratorio, y navegue para encontrar el directorio ya creado o cree uno para este laboratorio.
- c. Seleccione tipo HDL desde la opción *Top Level Source Type*. Finalizados los pasos a-c, se deberá tener una ventana similar a la que se ve en Figura 4.

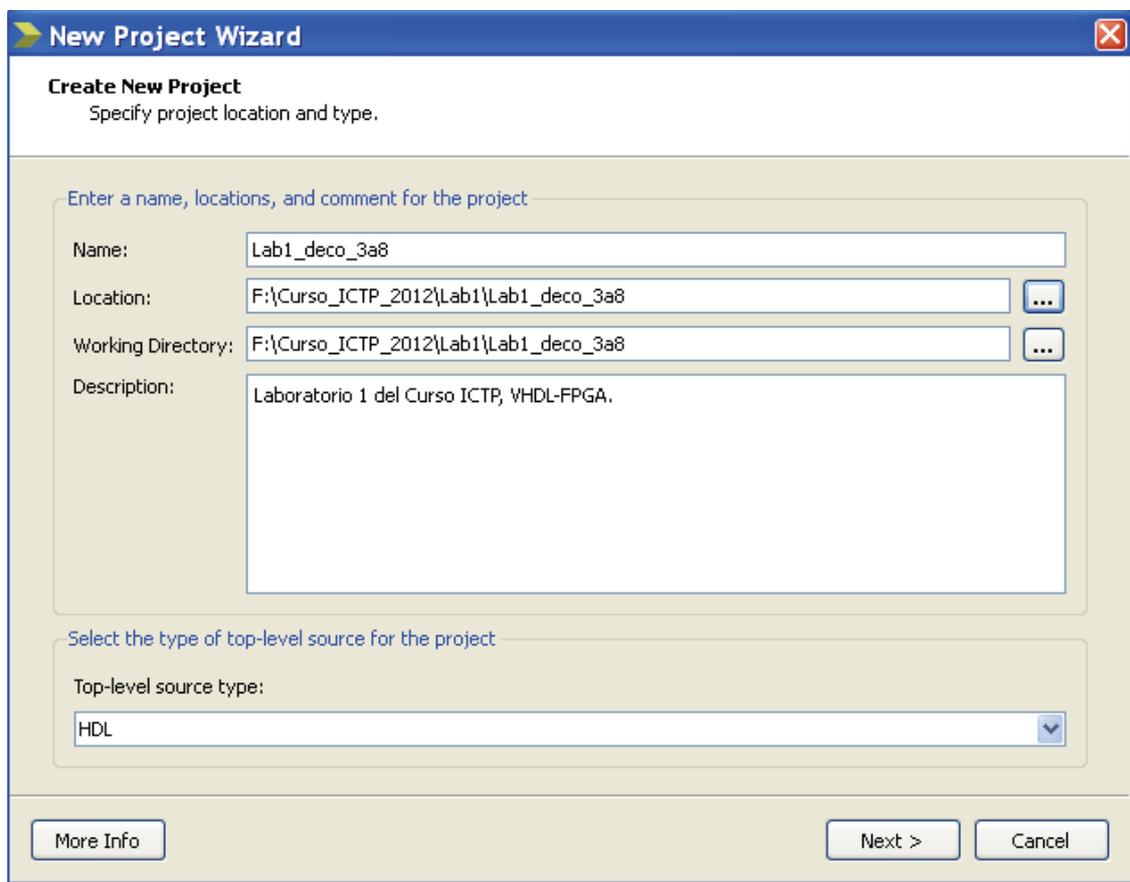


Figura 4 - Configuración proyecto nuevo. Paso 1

- d. Presione *Next*. Las siguientes opciones están referidas a la selección del FPGA y flujo de ejecución del laboratorio. Como en los laboratorios serán usadas unas placas de desarrollo que utilizan un FPGA específico, por favor asegúrese de seleccionar el siguiente FPGA a fin de evitar problemas: **Spartan 3E-500 FG320**.

La siguiente figura detalla las configuraciones de este paso.

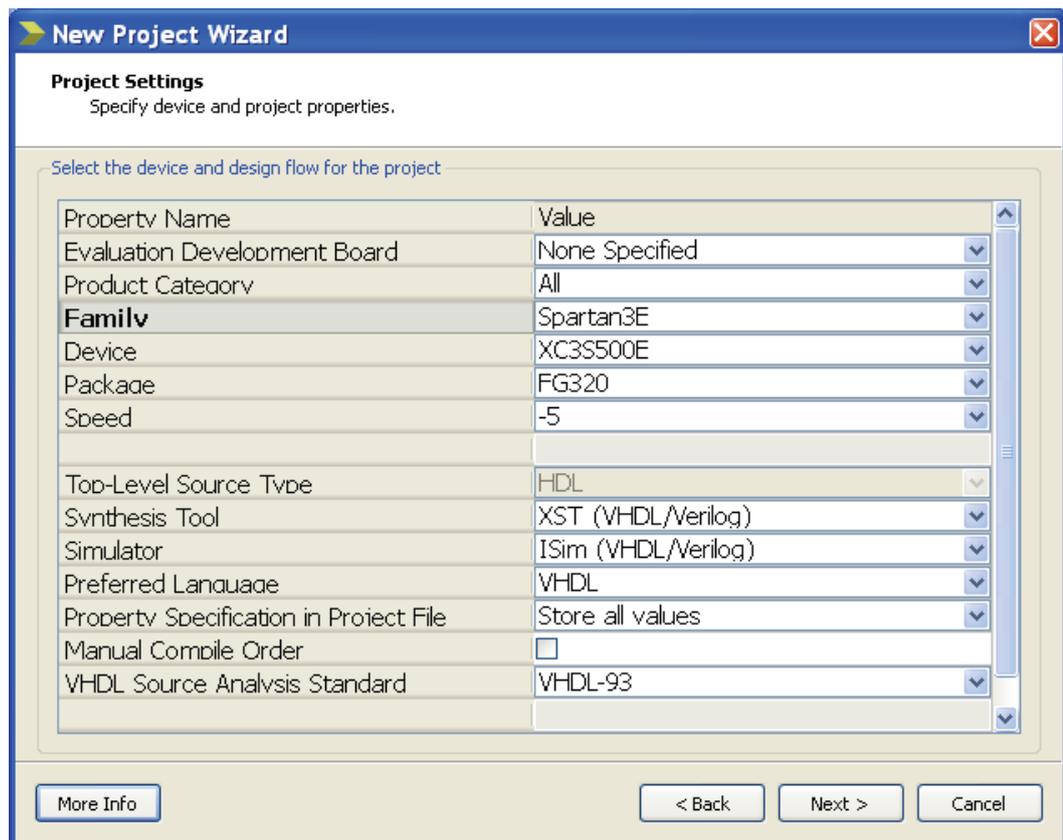


Figura 5 - Detalle del FPGA a ser usado para implementar el diseño en la Nexys 2

- e. Al hacer click en *Next*, una ventana resumiendo la configuración del proyecto es mostrada tal como se detalla en Figura 6.

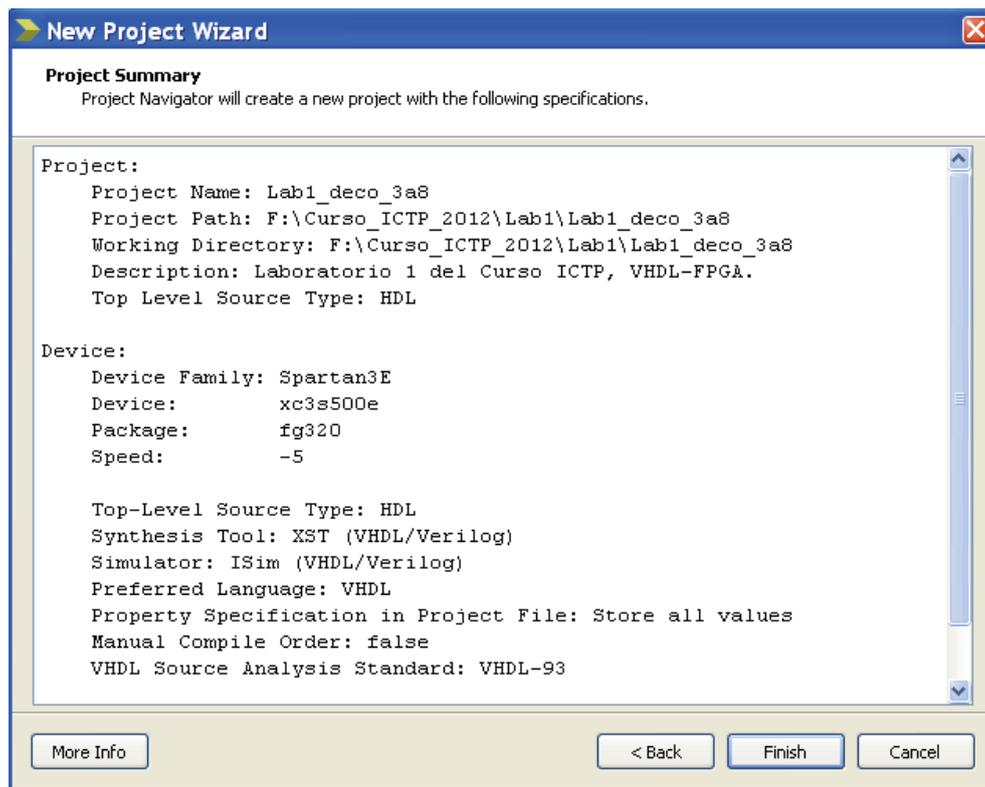


Figura 6 - Resumen de la configuración del proyecto

- f. La ventana de nuevo proyecto debe aparecer, similar a la mostrada en la siguiente figura.

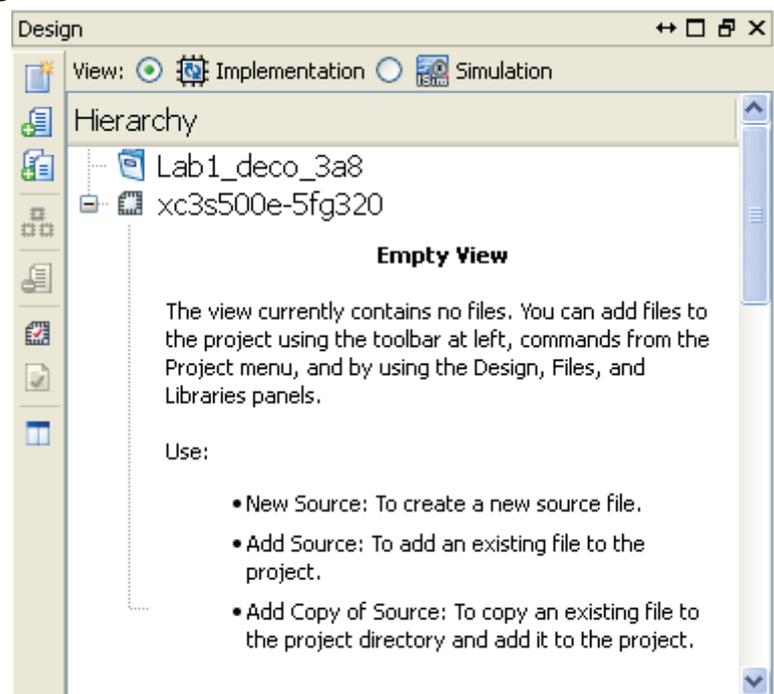


Figura 7 - Proyecto recién creado

Hay dos opciones en esta ventana con respecto a los códigos fuentes. Una opción es agregar un archivo .vhd que ya ha sido escrito (por ejemplo para otro proyecto), y la otra opción es crear un nuevo archivo .vhd. En este último caso crea una entidad y arquitectura en función de las entradas y salidas que se definen en las respectivas opciones. Para acceder a estas dos opciones se presiona el botón derecho del mouse y se elije la opción que desee, tal como se puede apreciar en Figura 8.

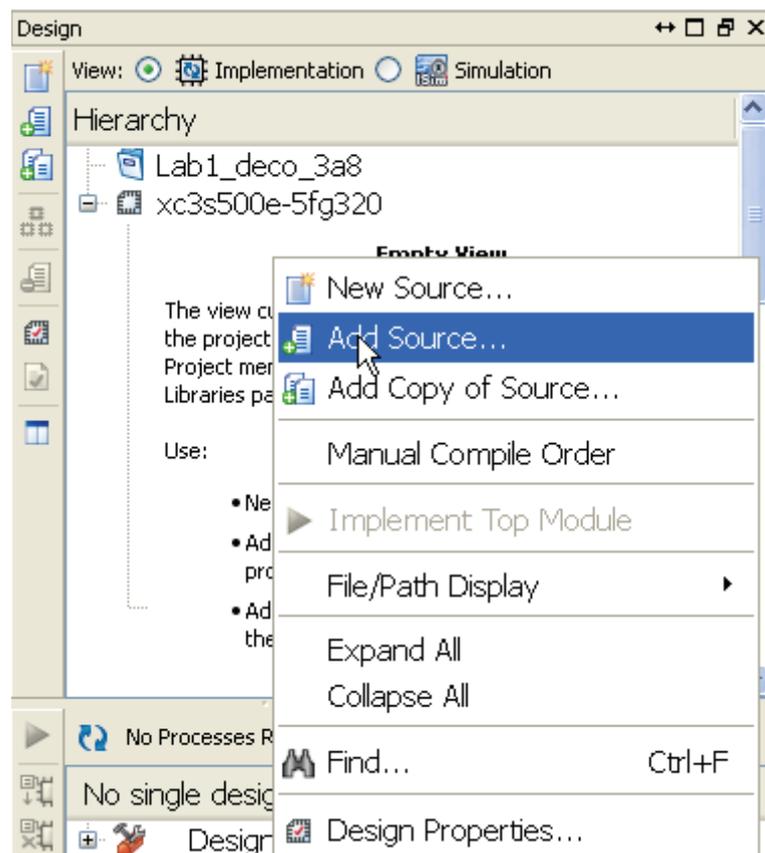


Figura 8 - Selección de archivos .vhd a ser agregados al proyecto

- a) Para el caso de querer agregar un código ya escrito se deben realizar los siguientes pasos:
1. El archivo a ser agregado puede ser copiado a la carpeta de trabajo, o puede ser referenciado. Desde la ventana de *'New Project window'*, haga click en *Next*, y luego en *Add Source*. Esto abrirá la ventana de opciones.
 2. Usando el navegador, selecciones el directorio y luego el archivo a ser agregado

3. Esta ventana tiene una opción para copiar el archivo en la carpeta del laboratorio. Por cada archivo a agregar se realiza el mismo procedimiento.
 4. Una vez concluido el proceso de agregar los archivos, click *Next* para ver la información relativa al proyecto recién creado.
- b) Para el caso de querer crear un nuevo archivo .vhd, ejecute los siguiente pasos:
- a. En el dialogo '*Create a New Source*', click '*New Source*', y especifique el tipo, VHDL, el nombre y la locación del archivo. Ver

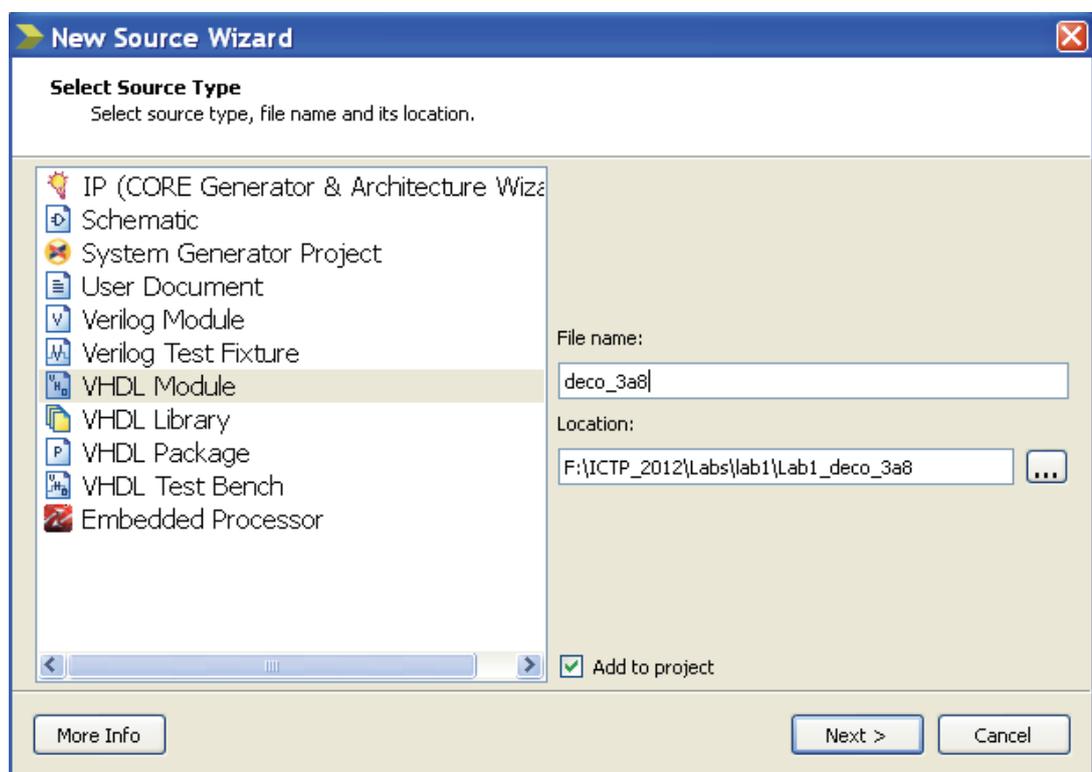


Figura 9 - Especificaciones del archivo .vhd a ser creado

- b. La ventana de dialogo de nuevo archivo aparecerá. Introduzca los nombres de los puertos, y la respectiva dirección e indique si alguno de los puertos es un bus. Tal como detalla figura xxxxx

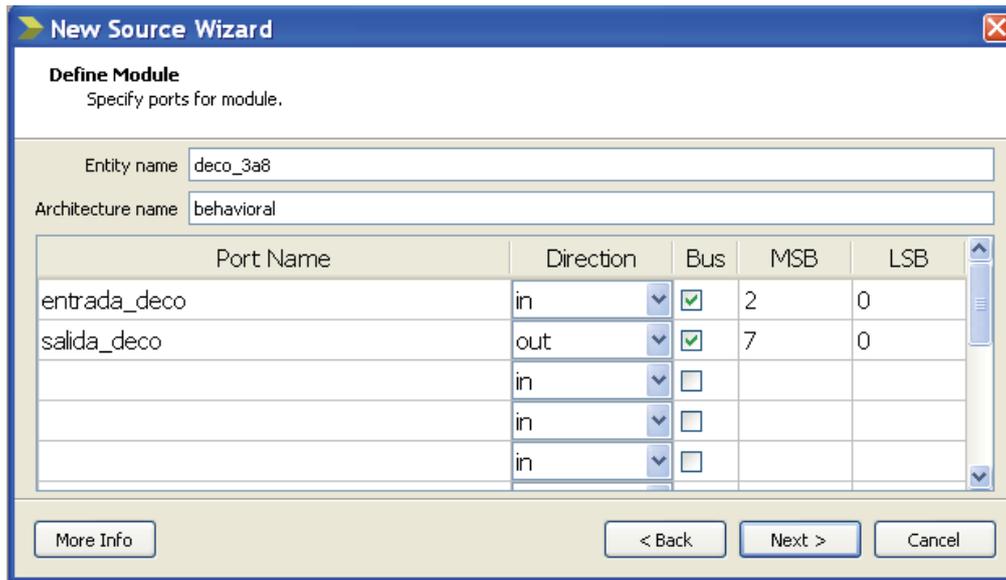


Figura 10 - Detalle puertos E/S del .vhd a ser creado

- c. Click *Next*, un resumen de los puertos de entrada y salida se detallan, compruebe que los datos sean correctos. Luego presione *Finish*.
- d. Esta última acción, incorpora el .vhd recién creado al proyecto y lo abre en la ventana del editor de texto.

FLUJO DE DISEÑO DEL ISE

Una vez creado el proyecto la ventana del ISE muestra la siguiente información

- a) En forma jerárquica muestra los componentes del diseño
- b) Los procesos que pueden ejecutarse
- c) El estado del proyecto
- d) El resumen del diseño implementado en la FPGA.

Una marca verde de chequeo exitoso (check mark) al costado de cada modulo indica que el archivo ha sido incorporado al proyecto. Por otro lado, un signo de pregunta , ?, indica que el archivo aun no es parte del proyecto.

1. Synthesize

El proceso de sintetizar el diseño chequea primero la sintaxis de todos los modulos componentes del proyecto conforme al estándar VHDL, y luego realiza la síntesis respectiva. Presione dos veces la opción de *Synthesize – XST*. Si el proceso termina exitosamente una marca de chequeo verde aparece al costado del proceso de

síntesis, de lo contrario una 'X' roja es mostrada al costado del modulo con error. Información detallada del proceso de síntesis es mostrada en la consola del ISE (ventana inferior).

2. Vista RTL del Diseño

Finalizado el proceso de síntesis, se puede hacer dos clicks sobre el proceso *View RTL Schematic*, tal como se detalla en Figura 11.

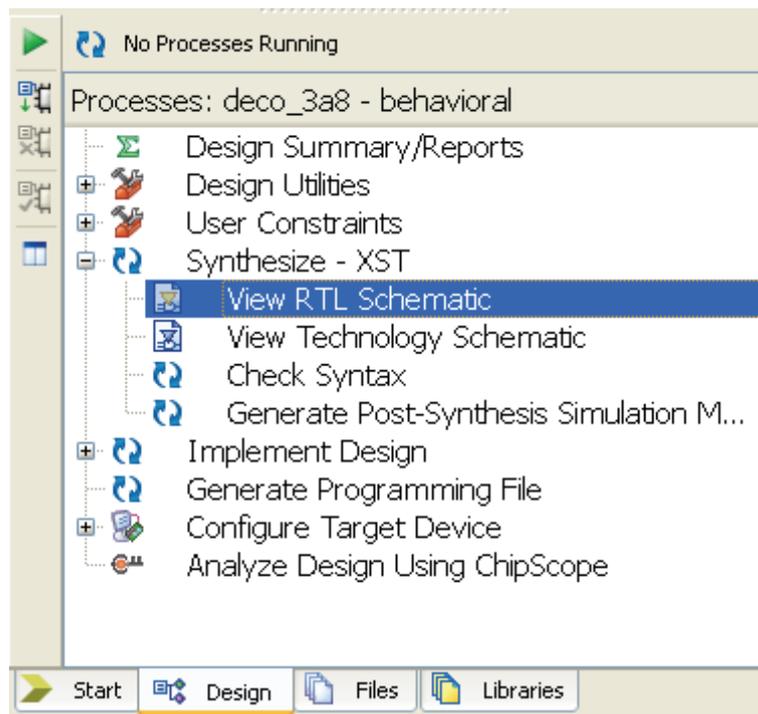


Figura 11 - Selección del proceso View RTL Schematic

Como resultado de la ejecución de ese proceso se debe tener una vista del esquemático que se genera de la información suministrada por la herramienta de síntesis.

El reporte de síntesis contiene información describiendo el progreso y resultado de síntesis. Para abrirlo se debe hacer click *Synthesis Report* de la opción *Detailed Report*, tal como se muestra en Figura 12

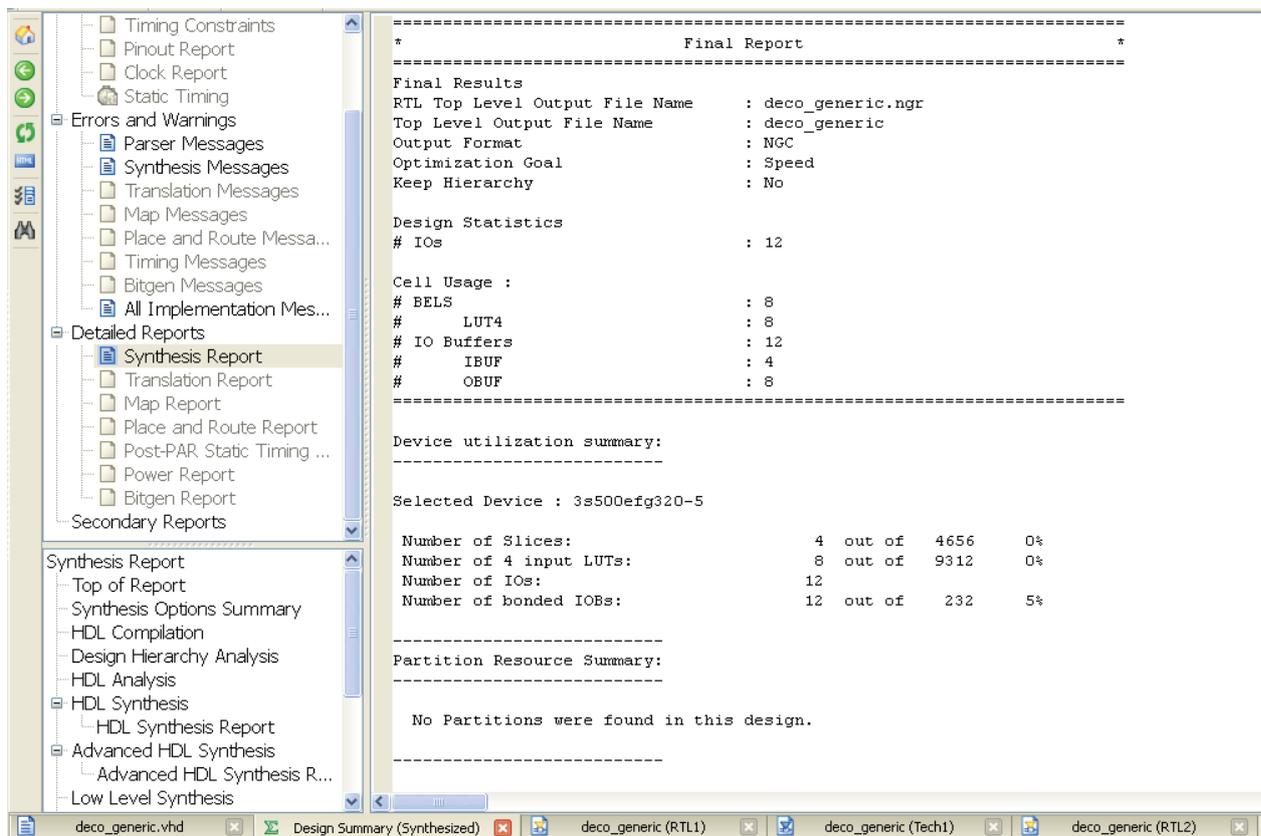


Figura 12 - Ejecución del reporte de síntesis

3. Implementación del Diseño

El proceso de implementación del diseño, *Implement Design*, crea el hardware del diseño. Hay varios procesos relacionados con la implementación del diseño:

- **Translate:** crea una base de datos interna del diseño. Esto puede incluir una variedad de formatos tales como VHDL, EDIF netlist, etc. Todos estos formatos son convertidos y unidos en un netlist con un formato dado por Xilinx.
- **Map:** este proceso *mapea* la lógica generada en el proceso de *Translate* en hardware de la FPGA (CLBs, IOBs, BRAM, etc). Este paso también optimiza lógica, y remueve lógica no usada.
- **Place and Route (P&R):** este proceso asigna CLBs, IOBs, BRAMs, específicos del FPGA y los respectivos ruteos de interconexión de lógica. Si una restricción de tiempo ha sido establecida será usada para guiar la locación de la lógica. El ruteo del diseño también será controlado por la locación de los pines de E/S. El reporte de P&R indica la calidad del ruteo, un resumen de timing, y si alguna señal no ha sido exitosamente ruteada.

A los fines prácticos de este curso, se puede ejecutar cualquiera de los procesos contenidos dentro del proceso de P&R. Al ejecutarse uno de estos procesos todos los procesos anteriores serán ejecutados también. Por ejemplo la siguiente figura muestra la opción de seleccionar el proceso de *Generate Post Place and Route Static Timing*.

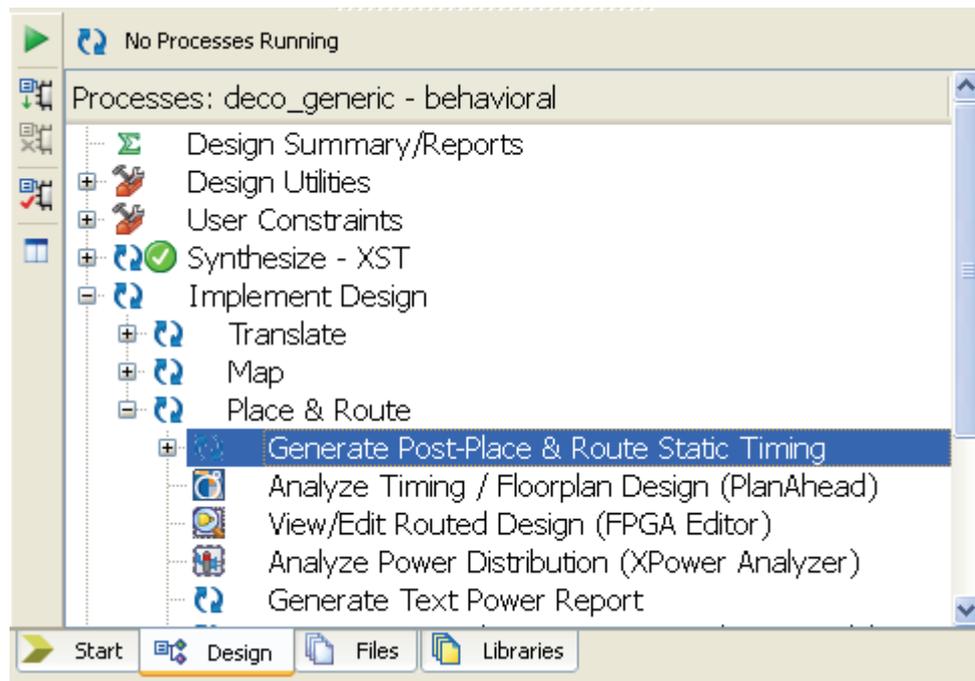


Figura 13 - Ejecución del proceso *Generate Post Place and Route Static Timing*

Finalizada la ejecución de cualquiera de los procesos de *Implement Design*, es muy conveniente leer alguno de los distintos reportes generados.

Los reportes se encuentran en la columna del medio del panel principal. De acuerdo al reporte que se seleccione es como cambia la parte inferior de la mencionada columna. La siguiente figura detalla lo escrito.

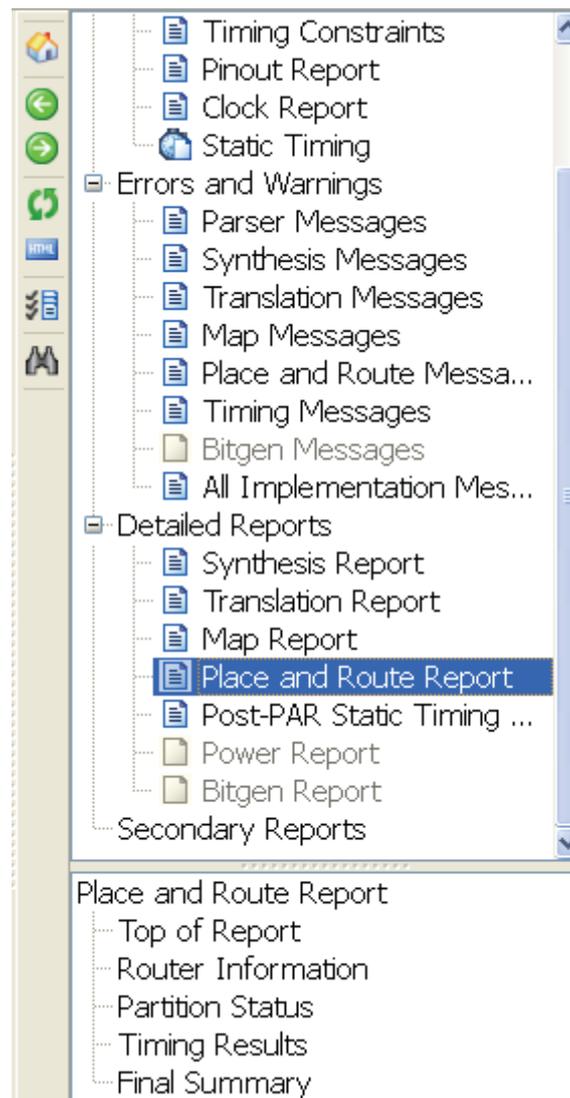


Figura 14 - Distintos reportes disponibles

4. Generación del Archivo de Programación del FPGA

El último paso en el proceso del diseño es la creación de un archivo de programación conteniendo toda la información para configurar el FPGA. Este archivo se le llama bitstream. Realice los siguientes pasos para generar el mencionado archivo:

1. Seleccione el proceso *'Generate Programming File'*. Haga click en el botón derecho del mouse y seleccione *Propiedades*. En Category seleccione Startup Options, y cambie el valor por defecto (CCLK), por JTAG Clock, tal como muestra Figura 15. Haga click en Apply para aceptar los cambios.

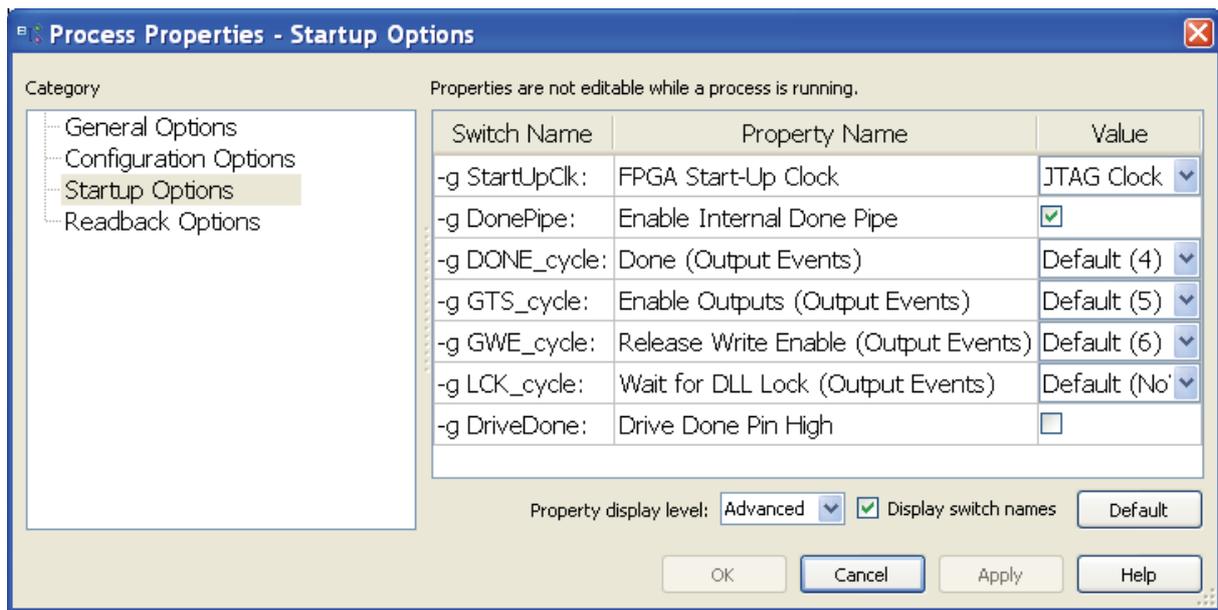


Figura 15 - Configuración del reloj para programar el FPGA

2. Doble click sobre el proceso '*Generate Programming File*' (a veces aparece un mensaje preguntando si desea habilitar el envío de información a Xilinx, para sus estadísticas, se sugiere declinar dicha invitación para evitar el flujo de información). Si el archivo de configuración (conocido como bitstream) se genera exitosamente, un check mark verde aparece al costado del proceso.

TUTORIAL ISim

Creando el Test Bench

Si no tiene abierto el proyecto, abralo ejecutando *File->Open Project*.

Una vez abierto el proyecto, para crear el respectivo Test Bench apriete el botón derecho del mouse sobre el dispositivo en la ventana de fuentes (Sources), y elija *New Source*. En la ventana de *New Source*, elija *VHDL Test Bench*, e introduzca el nombre del test bench, tal como se muestra en Figura 16.

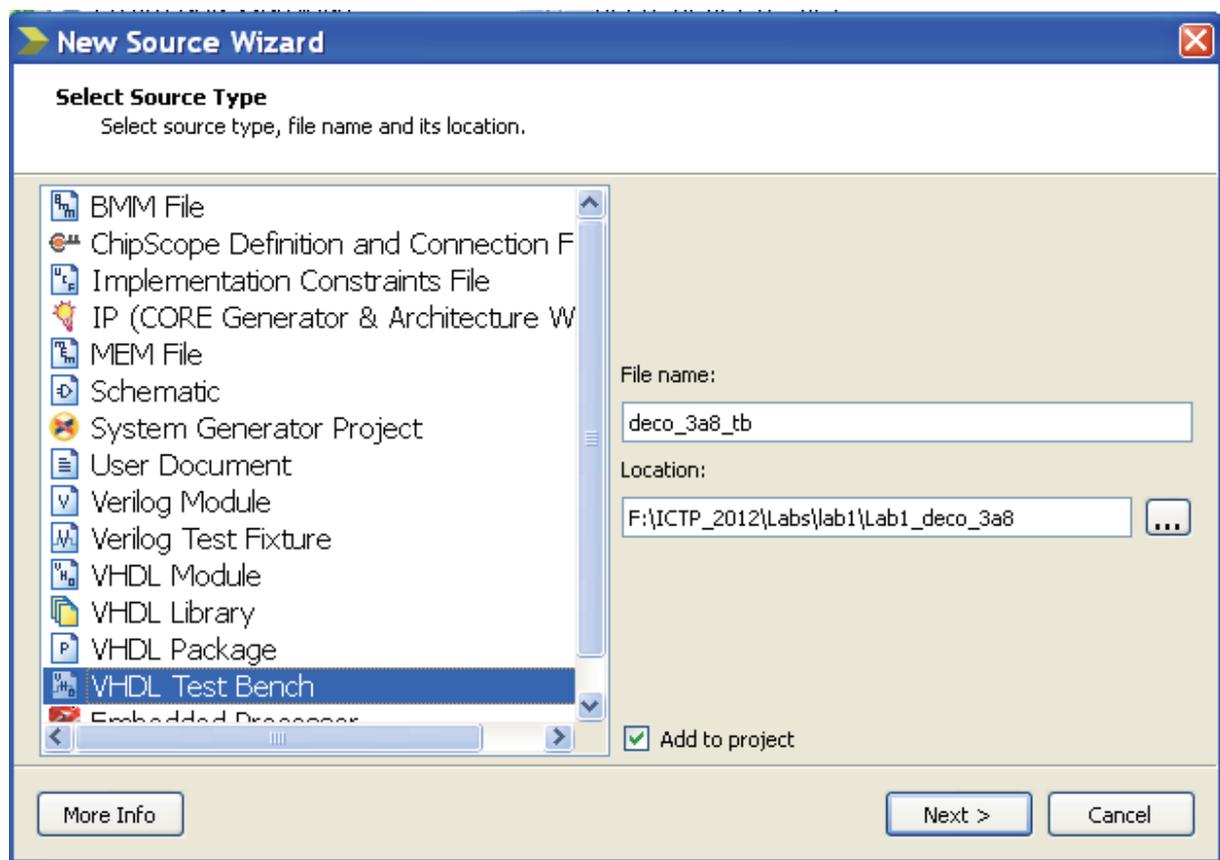


Figura 16 - Nuevo test bench a ser agregado al proyecto

Una vez seleccionado el nombre y la locación del Test Bench, clic *Next*. En la ventana que aparece debe seleccionar con cual archivo *.vhd* desea asociar el test bench a escribir. Seleccione cuidadosamente el archivo correspondiente.

Complete la creación del nuevo Test Bench by clicking *Next* y *Finish*. Para ver y editar el Test bench, primero debe cambiar la opción del menú de 'Sources For' desde *Implementation* a *Behavioral Simulation*, tal como muestra en Figura 17.

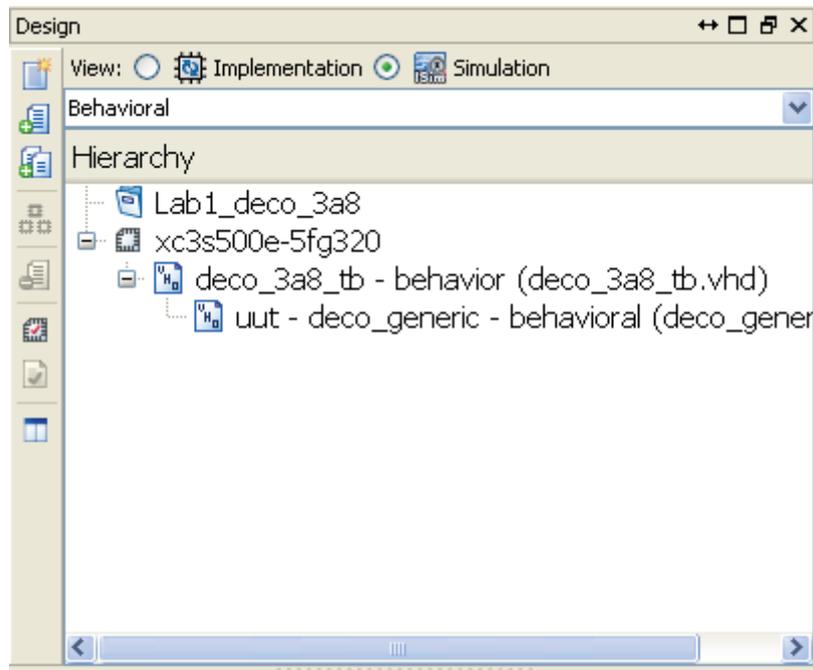


Figura 17 - Opciones del ISE para simulación

Una vez realizado el cambio, los archivos .vhd del panel de *Sources* cambian de orden, siendo el test bench ahora el primer archivo desde arriba hacia abajo. En el panel de procesos (Processes) la única opción es la del simulador del ISE llamado ISim.

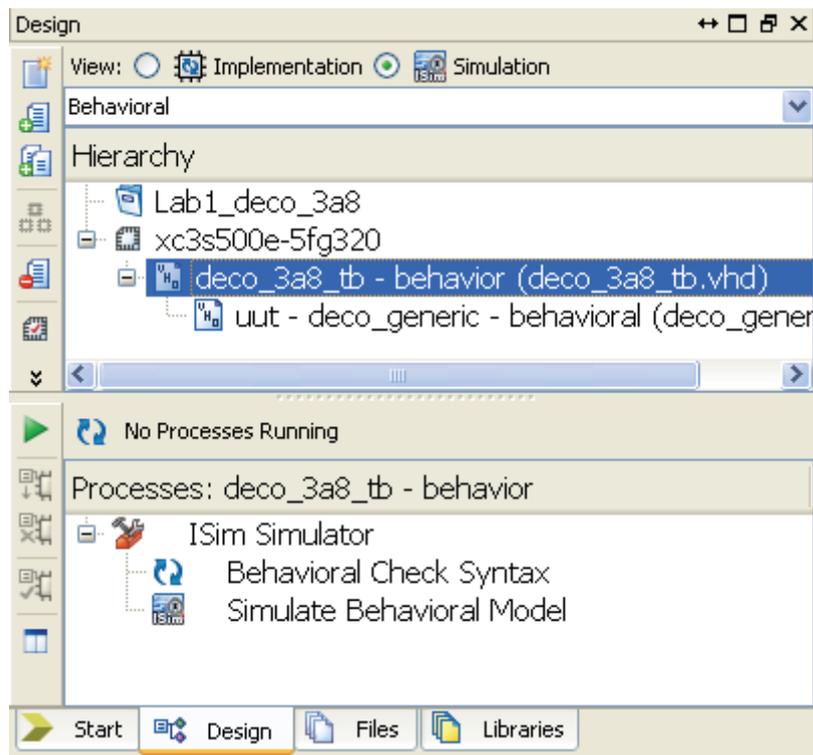


Figura 18 - Selección de herramienta de simulación ISim

Archivo Test Bench

Abra el test bench recién creado al hacer doble click en el respectivo archivo en la ventana de sources. Aparecerá en el editor de texto el .vhd correspondiente. El código generado incluye lo siguiente:

- Definición de las librerías
- La entidad (entity)
- La arquitectura
- Un bloque de instanciación

El código generado es realmente un patrón genérico, por lo que para diseños complejos puede ser que el test bench generado sea muy sencillo, mientras que para diseños simples algunas partes deben ser removidas. Una de las primeras cosas a modificar es la constante `<clock>_period`. Verifique también los valores iniciales asignados por defecto. Agregue las líneas de código que considere necesarias para generar los estímulos. Recuerde también de agregar código de verificación en caso que así lo desee.

Después de realizar los respectivos cambios, grabe al archivo.

Para ejecutar el test bench, haga doble click en *Simulate Behavioral Model*.

ISim

Una vez abierto el ISim se tienen cuatro paneles principales, detallados en la Figura 19.

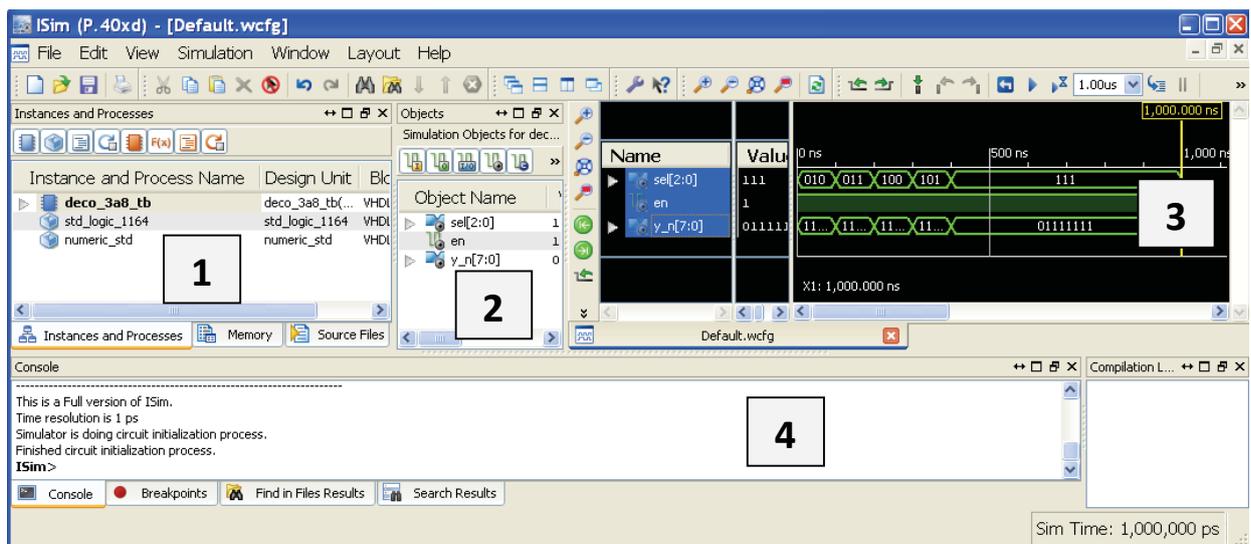


Figura 19 - Paneles principales del ISim

Panel 1: panel de Source Files, para la selección de archivos fuentes.

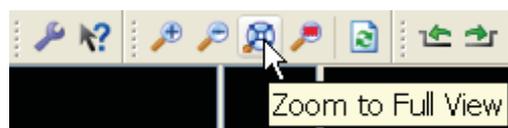
Panel 2: panel de Objetos, detalla las señales que se pueden agregar a la simulación.

Panel 3: panel de Simulación, donde el estado de las señales y sus respectivas formas de ondas pueden ser observadas.

Panel 4: Panel de Consola, donde los mensajes relativos a la simulación se detallan.

Algunas herramientas útiles del ISim:

- El icon 'Zoom to Full View', se usa para tener una vista completa de la simulación.

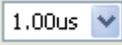


- Para ver más detalles de la simulación, use la lupa con el signo más (+).

- En la parte izquierda del panel de simulación hay dos columnas denominadas *Name* y *Value*. Para una señal determinada puede hacer click sobre el botón derecho del mouse, y seleccionar la opción de borrar, renombrar o cambiar de color. Las señales se pueden arrastrar para arriba o para abajo. Otra opción útil es agregar '*New Divider*', para separar las señales por funcionalidad por ejemplo.
- El bloque de control de simulación, sobre la parte derecha del menú de barras del ISim,



tiene las siguientes características:

- Re-comienzo de simulación, la detiene y vuelve el tiempo de simulación a 0. 
- Ejecuta la simulación hasta q todos los eventos son ejecutados 
- Ejecuta la simulación por el tiempo especificado en la caja de valor de tiempo 
- Valor de tiempo, y unidad de tiempo 
- Ejecuta la simulación, una instrucción por vez 
- Pausa la simulación
- Detiene la simulación

Ejecución de Simulación Post Place and Route

Para la ejecución de la simulación post place and route se debe seleccionar la simulación post route desde el menú de simulación.

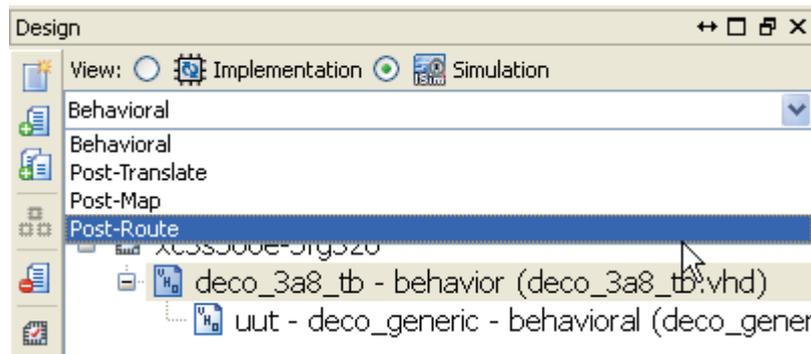


Figura 20 - Configuración para simulación post place and route

La opción del proceso de simulación cambia adecuándose a la nueva simulación requerida.

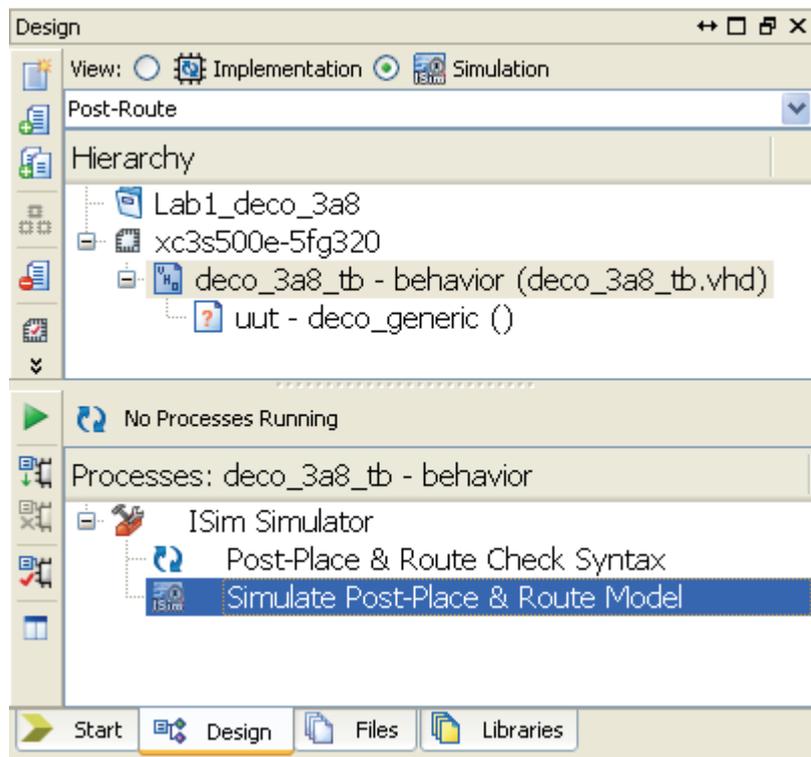


Figura 21 - Simulación post place and route

Haciendo doble click sobre Simulate Post-Place and Rout eModel se abre ISim. Es conveniente correr la simulación, y luego expandir las formas de ondas hasta que pueda visualizar algún retardo, tal como se muestra en la siguiente figura. Use cursores para facilitar la localización y el cálculo del retardo.

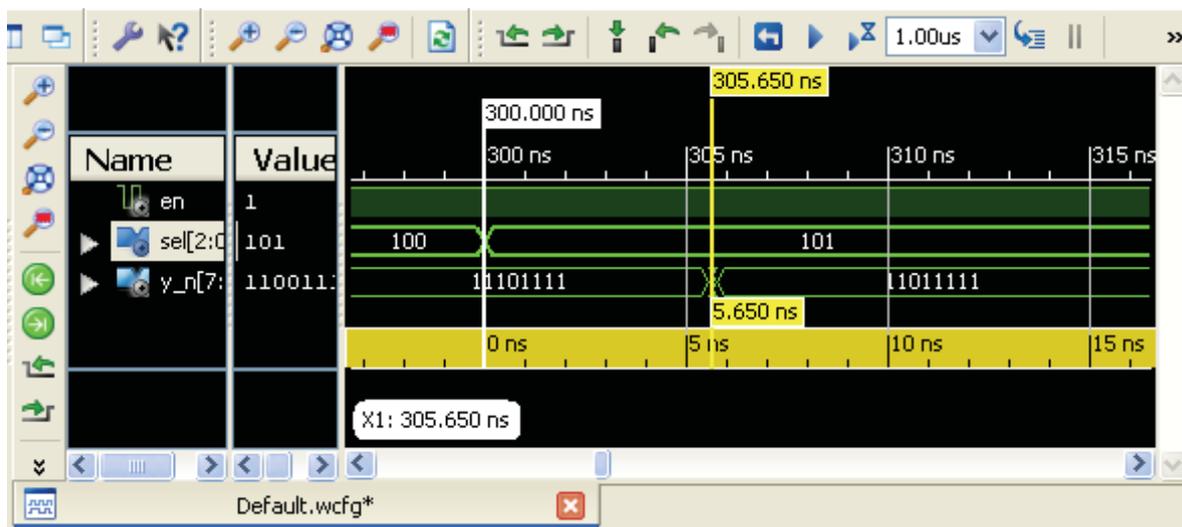


Figura 22 - Simulación post P&R y medición de retardo

Otras Herramientas útiles del ISE

Para los que estén interesados en el uso de herramientas más avanzadas se detalla a continuación las mismas y su forma y propósito de uso

Analyze Post-Place & Rout Static Timing

Este proceso se ejecuta hacienda doble click en el proceso respectivo tal como se detalla en la siguiente figura.

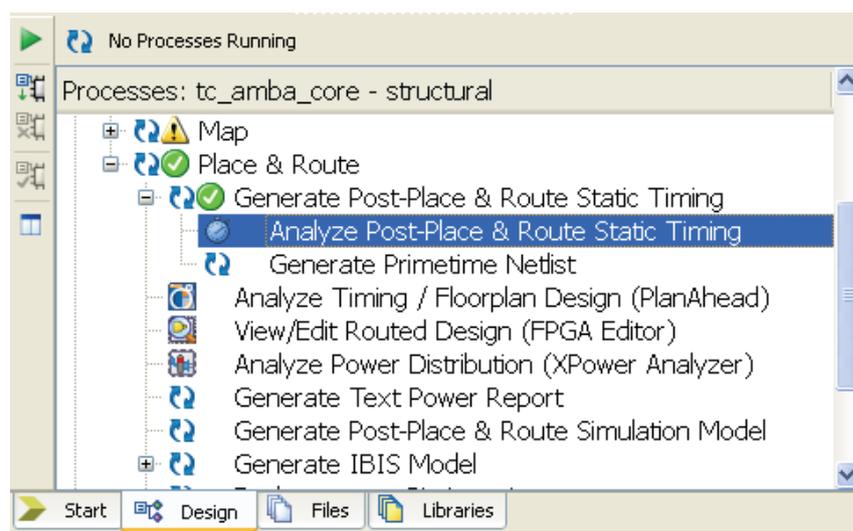


Figura 23 - Ejecución del proceso de análisis estático de tiempo del diseño

Los resultados de la ejecución de la herramienta de análisis estático de tiempo se presentan en forma de texto en la pantalla principal. El camino más lento, camino

crítico, se puede en el *Technology Viewer* al presionar botón derecho del mouse y seleccionar *Show in Technology Viewer*, tal como se detalla en Figura 24.

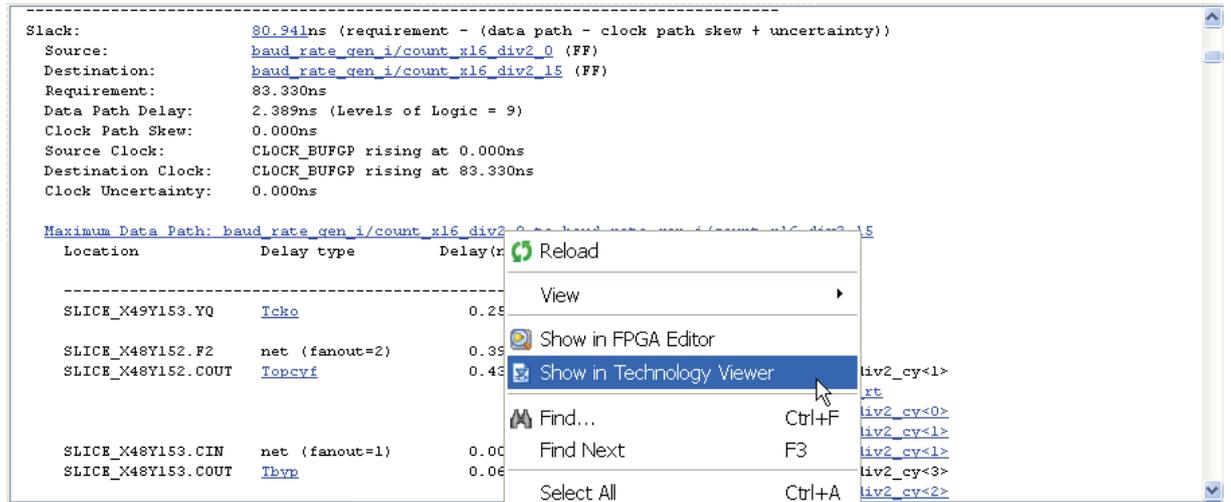


Figura 24 - Selección de la opción de vista del camino crítico

El resultado de la vista en el *Technology Viewer* es un circuito esquemático del camino crítico tal como se aprecia en Figura 25.

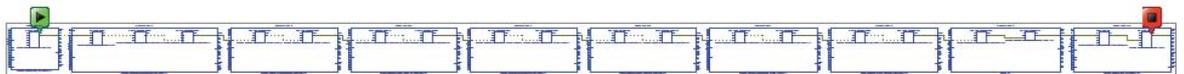


Figura 25 – Detalle en forma de esquemático del camino crítico

Pad Report

Este es un reporte muy importante ya que detalla la información relacionada a la asignación de los pines de E/S del FPGA y las señales de E/S del sistema descrito en VHDL. Para la ejecución del mismo presione dos veces sobre Pinout Report en la columna del medio del resumen de diseño.

	Pin Number	Signal Name	Pin Usage	Pin Name	Direction	IO Standard	I/O Bank Number	Drive (mA)	Slew Rate	Terminator
1	U30	ADDR<0>	IOB	IO_L16P_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
2	T30	ADDR<10>	IOB	IO_L13N_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
3	T28	ADDR<11>	IOB	IO_L12P_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
4	P31	ADDR<12>	IOB	IO_L7N_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
5	U28	ADDR<13>	IOB	IO_L12N_VREF_...	OUTPUT	LVTTTL	13	12	SL...	NONE**
6	R33	ADDR<14>	IOB	IO_L11N_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
7	V33	ADDR<1>	IOB	IO_L17P_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
8	V34	ADDR<2>	IOB	IO_L17N_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
9	U31	ADDR<3>	IOB	IO_L16N_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
10	U26	ADDR<4>	IOB	IO_L15P_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
11	T29	ADDR<5>	IOB	IO_L13P_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
12	T33	ADDR<6>	IOB	IO_L14P_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
13	U33	ADDR<7>	IOB	IO_L18N_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
14	R27	ADDR<8>	IOB	IO_L4P_13	OUTPUT	LVTTTL	13	12	SL...	NONE**
15	R29	ADDR<9>	IOB	IO_L5N_13	OUTPUT	LVTTTL	13	12	SL...	NONE**

Figura 26 – Reporte de los pines E/S del FPGA

Haciendo simple click sobre ‘Signal Name’ se muestran las señales en orden alfabético.

También se puede usar el siguiente proceso para verificar la asignación de pines de E/S, ver Figura 27.

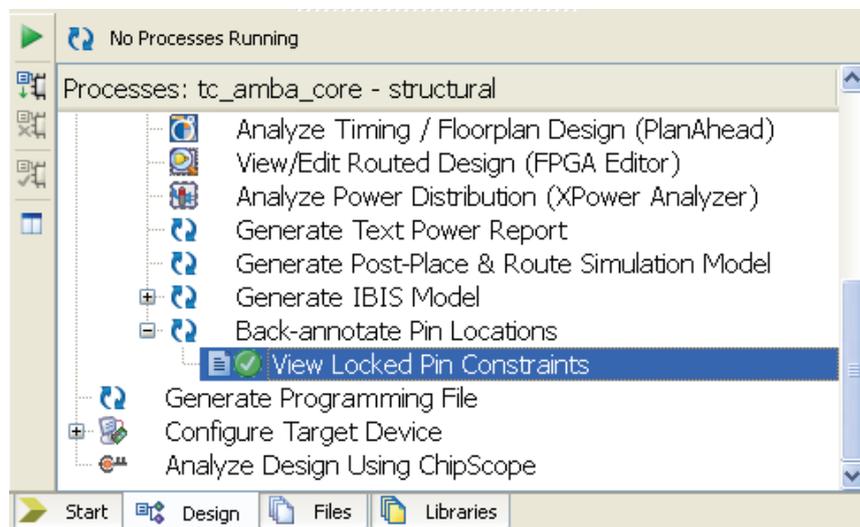


Figura 27 - Verificación de pines de E/S

FPGA Editor

Esta herramienta permite visualizar la locación de los distintos elementos lógicos del diseño y su respectivo ruteo. La siguiente figura, Figura 28, detalla el proceso a ser invocado para su ejecución.

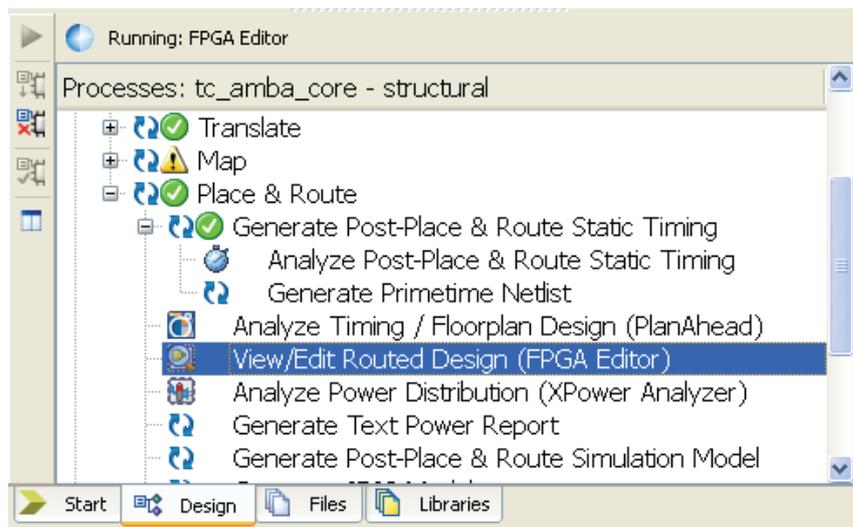


Figura 28 - Ejecución de la herramienta FPGA Editor

Una vez ejecutado el comando la ventana del FPGA Editor aparece, Figura 29 muestra una vista de un diseño.

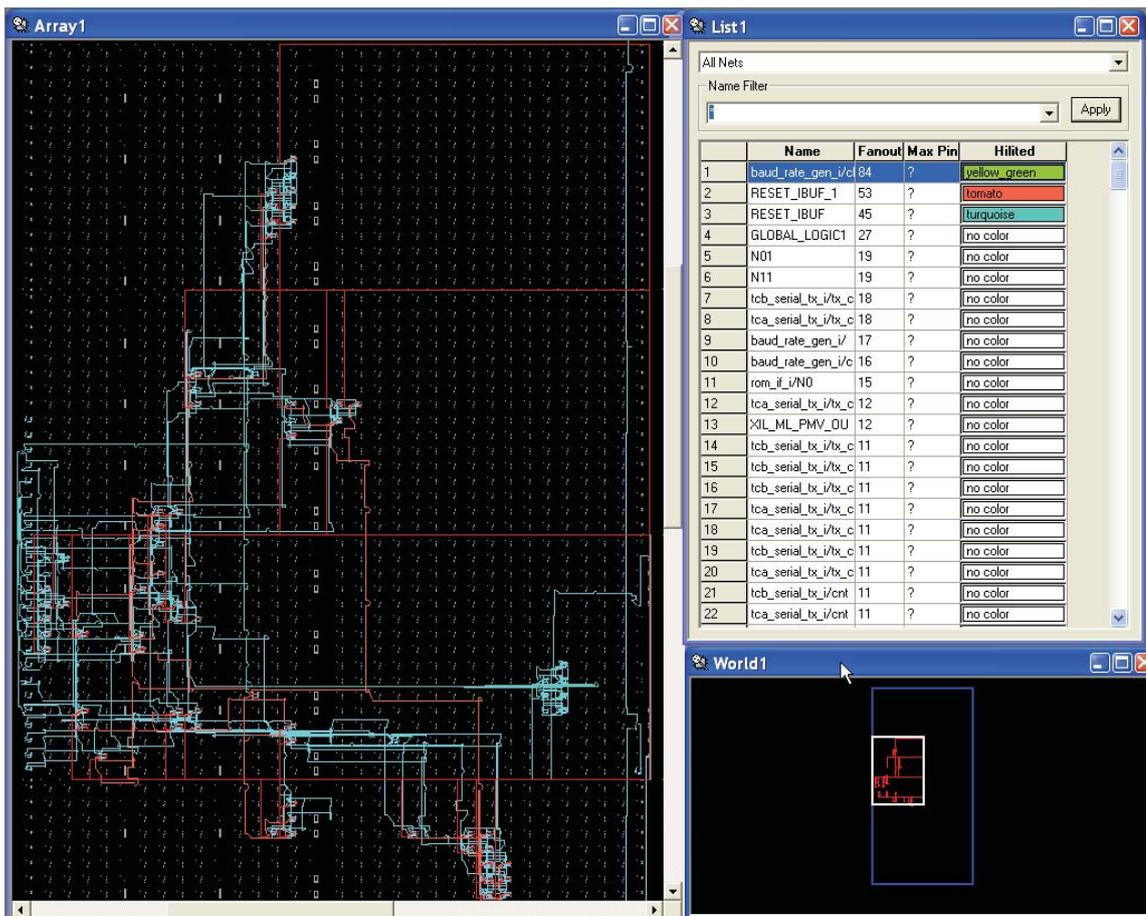


Figura 29 - FPGA Editor