



The Abdus Salam  
**International Centre  
for Theoretical Physics**



**smr2384**

# **Joint ICTP-TWAS Latin-American Advanced Course on FPGA Design for Scientific Instrumentation**

**19 November 2012 – 07 December 2012**

**Havana – Cuba**

---

## **LABORATORY EXERCISES I**

## **COMBINATIONAL LOGIC DESCRIBED in VHDL**

**ICTP Multidisciplinary Laboratory  
MLAB**

# Laboratorio – Sección 1

## Descripción, Síntesis y Simulación

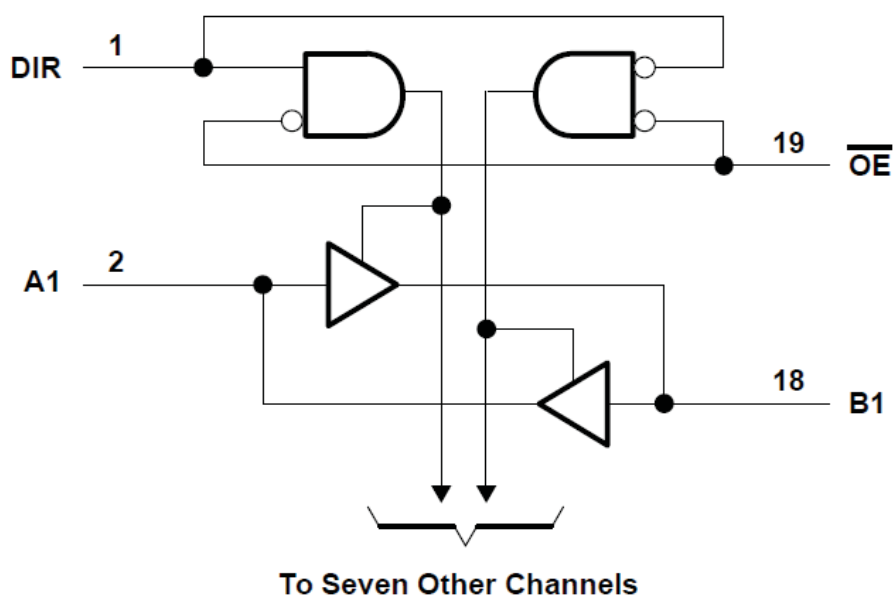
### Objetivo

Descripción de sistemas combinatoriales utilizando instrucciones concurrentes e instrucciones secuenciales.

### Parte A

Realizar la descripción en VHDL del buffer bidireccional 74AS245, tal como se describe en la siguiente tabla y se detalla en la figura debajo.

INPUTS		OPERATION
$\overline{OE}$	DIR	
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation



Escriba el código de forma genérica, usando parámetros, de manera que pueda ser fácilmente modificado para un mayor o menor número de E/S.

Compruebe el correcto funcionamiento del componente descrito en VHDL mediante un *testbench* y su correspondiente simulación.

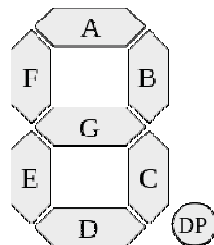
### Parte B (opcional)

Usando instrucciones concurrentes describa un decodificador de 3 a 8. Compruebe su funcionamiento con un *testbench* (*enable* activo en alto).

### Parte C

Describa un decodificador de Hexadecimal a 7-segmentos. El decodificador tiene cuatro bits de entrada que codifica un número entre 0 y 15, y una entrada de control (*enable*) activa en alto.

El decodificador tiene siete salidas indexadas desde 'a' hasta 'g', correspondiendo a cada segmento del *display*. Cada segmento es activo en bajo. La siguiente figura detalla la ubicación de cada segmento en el *display*:

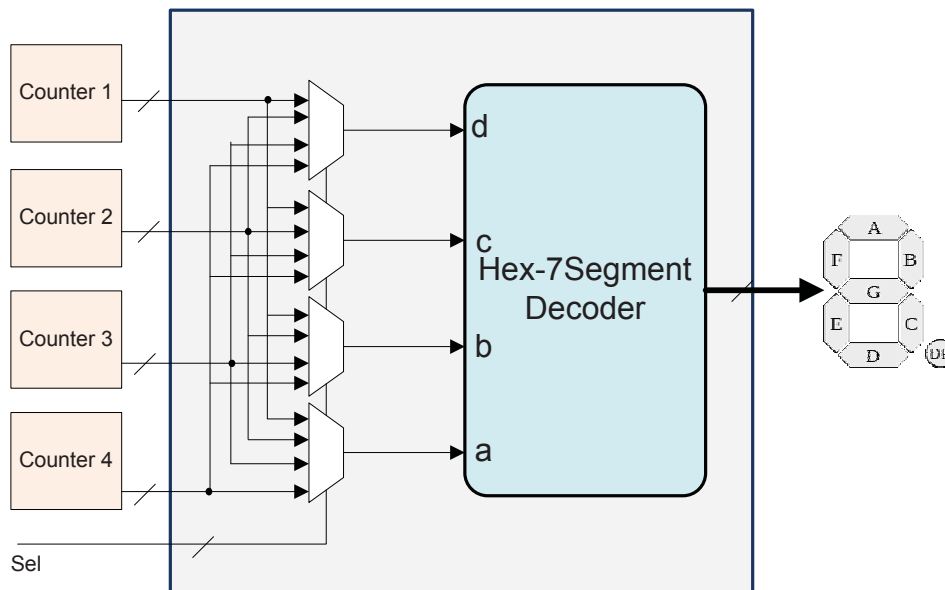


Compruebe el funcionamiento del decodificador mediante la simulación adecuada del mismo con el correspondiente *testbench*.

### Parte D

Usando *component-declaration* y *component-instantiation* describa el siguiente sistema en VHDL (el sistema a describir es el que está dentro del rectángulo grisaseo).

El funcionamiento correcto de este sistema será comprobado una vez que se vea la parte del curso correspondiente a lógica secuencial.



## Laboratorio – Sección 2

### Síntesis e Implementación

#### Objetivo

Implementación de los diseños de la sección 1 en la *FPGA Spartan 3E del board Nexys 2* (ver respectiva guía del usuario para más detalles de los componentes disponibles en el *board*).

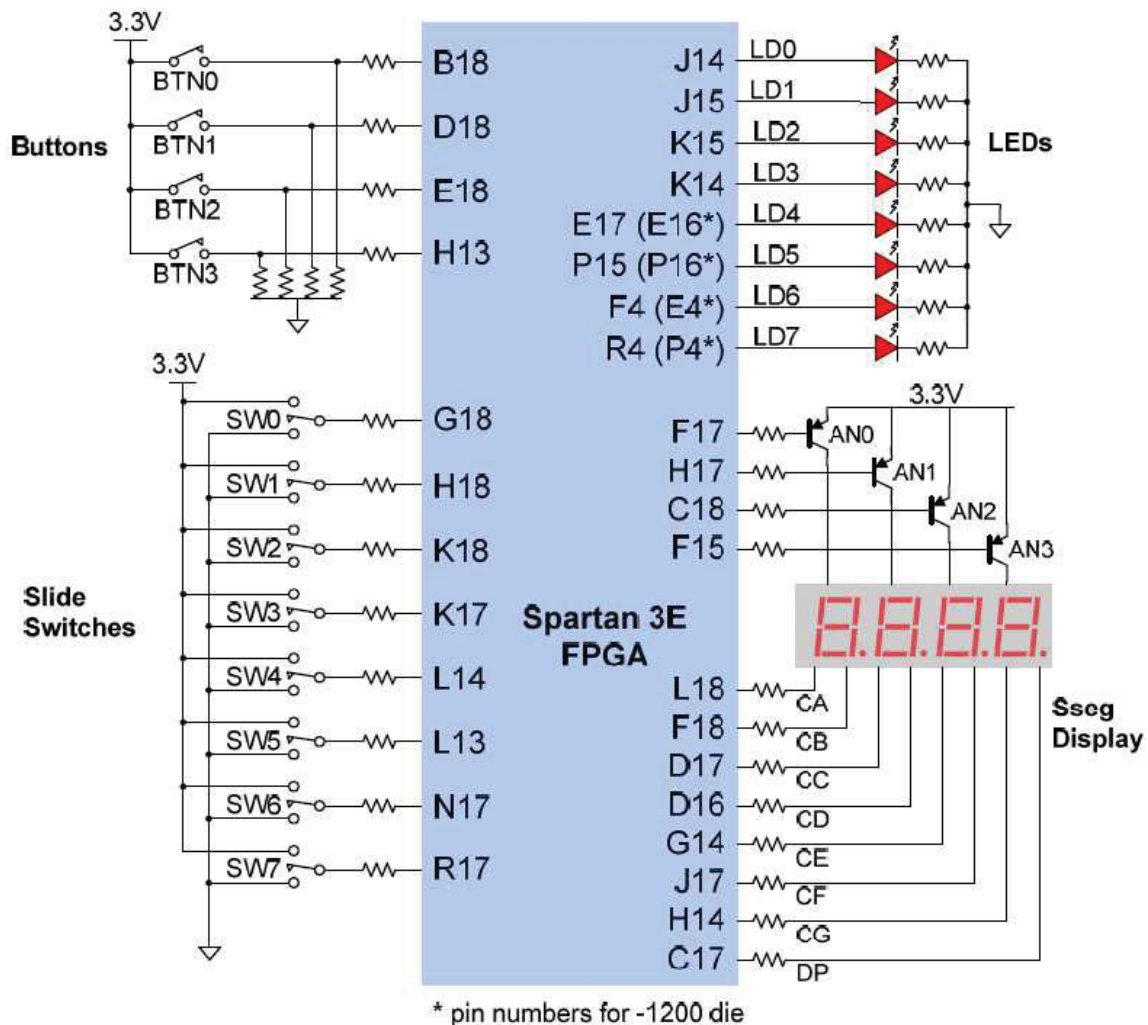
Escritura y utilización de archivo de restricciones (.ucf).

#### Parte E

Implemente el diseño de la Parte C de la sección 1. Utilice la siguiente figura como referencia para las entradas y salidas del sistema.

Preferentemente use los *switches* SW0-SW3 y el *display* controlado por la salida del *pin F15*.

Escriba el respectivo archivo de restricciones (.ucf), y siga los pasos para configurar la FPGA. Pruebe el correcto funcionamiento del sistema en el *board*.



## Parte F

Implemente el diseño de la Parte D de la sección 1. Utilice las figuras presentadas anteriormente como referencia para las entradas y salidas del sistema.

Para simular la salida de los contadores, utilice dos *switches* para cada contador, los otros dos bits no utilizados conéctelos a '1' o '0' lógico.

Para la señal *select* utilice dos pulsadores (*buttons*).

Escriba el respectivo archivo de restricciones (.ucf), y siga los pasos para configurar la FPGA.

Pruebe el correcto funcionamiento del sistema en el *board*.